

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-282932

(43)Date of publication of application : 03.10.2003

(51)Int.Cl.

H01L 31/10

H01L 21/205

H01L 27/146

H01L 29/47

H01L 29/861

H01L 29/872

(21)Application number : 2002-089836

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 27.03.2002

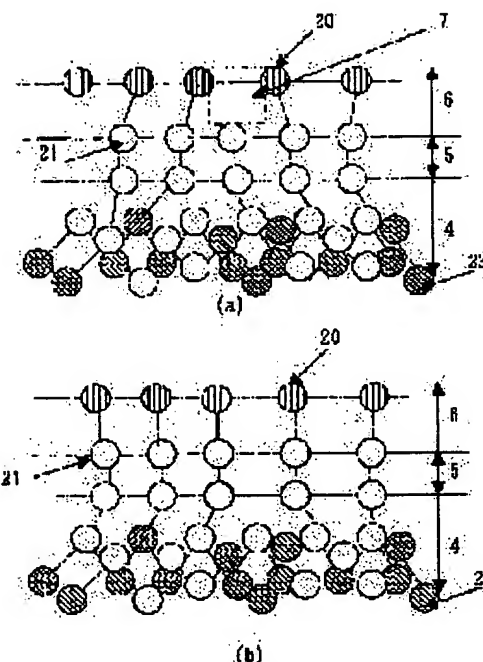
(72)Inventor : AJIKI YOSHIHARU  
TAKIZAWA TERUO  
HARA HISAKI  
WATANABE YUKIMUNE

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method of growing a lattice-relaxed germanium film or silicon germanium film having only a few defects and a good crystallinity on an insulator substrate or on a monocrystalline silicon film formed on an insulation film.

**SOLUTION:** The method of manufacturing a semiconductor device comprises a process of epitaxial growth of the silicon - germanium mixed crystal film, or the germanium film or a multilayer monocrystalline film thereof, on the insulation substrate or on the monocrystalline silicon thin film on the insulation film; and a process of accelerating lattice relaxation by conducting a heat treatment after the former process or in the middle of the former process.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semiconductor device characterized by having the function to provide the epitaxial film which consists of any of the silicon germanium mixed-crystal film, the germanium film, or its multilayer single crystal film on the single-crystal-silicon thin film formed on the insulator substrate or the insulator layer, and to change an extraneous light input signal into an electrical signal.

[Claim 2] The semiconductor device according to claim 1 characterized by having the P type conductive layer by which the acceptor atom was poured into said epitaxial film at high concentration, an intrinsic-semiconductor layer, and the N type conductive layer by which the donor atom was poured into high concentration.

[Claim 3] The semiconductor device according to claim 1 characterized by having a metal membrane and an epitaxial film and the metal membrane concerned forming the Schottky barrier on said epitaxial film.

[Claim 4] The single-crystal-silicon thin film formed on said insulating substrate or the insulator layer is a semiconductor device according to claim 1 characterized by having silicon-on sapphire (SOS) structure or silicon on insulator (SOI) structure.

[Claim 5] The manufacture approach of the semiconductor device characterized by having the process which carries out epitaxial growth of the silicon germanium mixed-crystal film, the germanium film, or its multilayer single crystal film to an insulating substrate or the single-crystal-silicon thin film on an insulator layer, and the process to which grid relaxation is urged by heat treatment in a process in the middle of [ its ] after that.

[Claim 6] The process which gives said epitaxial growth is the manufacture approach of the semiconductor device according to claim 5 characterized by being either metal-organic chemical vapor deposition (Metal Organic Chemical Vapor deposition; MO-CVD method), a molecular-beam grown method (Molecular Beam Epitaxy; MBE law) or ultra-high-vacuum vapor growth (Ultra High Vacuum Chemical Vapor Deposition; UHV-CVD method).

[Claim 7] Said heat treatment process is the manufacture approach of the semiconductor device according to claim 5 characterized by being a temperature up process, a constant temperature process, a temperature fall process, or its repeat process.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which has the semiconducting crystal of germanium or silicon germanium mixed crystal on the single-crystal-silicon thin film formed on the insulator substrate or the insulator layer, and its manufacture approach. Furthermore, it is related with the optical semiconductor device which uses the germanium film or the silicon germanium film for a light sensing portion, and its manufacture approach about an optical photo detector.

[0002]

[Description of the Prior Art] It is silicon and germanium or the hetero epitaxial structure of silicon and silicon germanium mixed crystal attracts attention as an ingredient which raises the property of a hetero-bipolar transistor or an optical element by leaps and bounds. In order to form crystalline good hetero structure -- a CVD method and MBE -- although vapor growth called law is used, since the lattice constants of silicon and germanium differ when carrying out epitaxial growth of the germanium, for example on a silicon single crystal, stress arises inside the germanium film and silicon and the germanium film grows -- it is alike, and it follows and the island structure of germanium comes to be formed. Furthermore, a mismatching rearrangement is introduced from the edge of a germanium island, the rearrangement through which it especially pierced in the thickness direction in the film is formed, and such a defect leads to the increment in leakage current etc., and produces fault in the device which applied and produced it.

[0003] In order to prevent island-izing and the penetration rearrangement of such germanium, Tatsumi and others is indicating in JP,10-256169,A. Drawing 6 is the conceptual diagram of this example of an indication. When the front face of the germanium film 2 of the shape of a layer formed in silicon substrate top 1 was covered with the silicon germanium mixed crystal 3, and this silicon germanium mixed-crystal film was used as the stress relaxation layer and having been heat-treated, the germanium film did not become island structure, but it has reported that a penetration rearrangement decreases in the film. However, since the grid mismatching generated near the boundary of a silicon substrate 1 and the germanium film 2 was not what disappears completely, leakage current was not still able to be reduced. Moreover, there is the need of carrying out the laminating of the silicon germanium mixed-crystal film which is a stress relaxation layer with epitaxial growth, and the throughput per wafer was reduced further.

[0004]

[Problem(s) to be Solved by the Invention] When this approach is used, there is the need of carrying out the laminating of the silicon germanium mixed-crystal film which is a stress relaxation layer, and it is fault on productivity. Then, the purpose of this invention is offering the approach of growing up the good crystalline germanium film and crystalline good silicon germanium film which carried out grid relaxation on the above-mentioned single-crystal-silicon film by using for a stress relaxation layer an insulator substrate or the single-crystal-silicon film formed on the insulator layer.

[0005]

[Means for Solving the Problem] The 1st invention possesses the epitaxial film which consists of any of the silicon germanium mixed-crystal film, the germanium film, or its multilayer single crystal film on the single-crystal-silicon thin film formed on the insulator substrate or the insulator layer, and relates to the semiconductor device characterized by having the function to change an extraneous light input signal into an electrical signal.

[0006] The 2nd invention relates to the semiconductor device of the 1st invention characterized by having the P type conductive layer by which the acceptor atom was poured in on said epitaxial film at high concentration, an intrinsic-semiconductor layer, and the N type conductive layer by which the donor atom was poured into high concentration.

[0007] The 3rd invention has a metal membrane on said epitaxial film, and relates to the semiconductor device of the 1st invention characterized by an epitaxial film and the metal membrane concerned forming the Schottky barrier.

[0008] The single-crystal-silicon thin film with which the 4th invention was formed on said insulating substrate or the insulator layer is related with the semiconductor device of the 1st invention characterized by having silicon-on sapphire (SOS) structure or silicon on insulator (SOI) structure.

[0009] The 5th invention relates to the manufacture approach of a semiconductor device characterized by having the process which carries out epitaxial growth of the silicon germanium mixed-crystal film, the germanium film, or its multilayer single crystal film to an insulating substrate or the single-crystal-silicon thin film on an insulating layer, and the process to which grid relaxation is urged by heat treatment in a process in the middle of [ its ] after that.

[0010] The 6th invention relates to the semiconductor device manufacture approach of the 5th invention characterized by the process which gives epitaxial growth being either metal-organic chemical vapor deposition (MO-CVD method), a molecular-beam grown method (MBE law) or ultra-high-vacuum vapor growth (UHV-CVD method). The 7th invention relates to the manufacture approach of the 5th semiconductor device that said heat treatment process is characterized by being a temperature up process, a constant temperature process, a temperature fall process, or its repeat process.

[0011]

[Embodiment of the Invention] Below, the outline of this invention is explained. The single-crystal-silicon thin film formed on the insulator substrate or the insulator layer has the role which eases the stress produced between the epitaxial films which carried out the laminating on the thin film concerned. This effectiveness is explained referring to a drawing below. The conceptual diagram of this invention is shown in drawing 1. As for a silicon oxidation membrane layer and 5, 4 is [ a single-crystal-silicon thin film and 6 ] the germanium film or the silicon germanium mixed-crystal film. Drawing 2 is the limb of drawing 1. SIMOX (Separation by Implanted Oxygen) which the single-crystal-silicon thin film on the silicon oxidation membrane layer 4 drives oxygen ion into a silicon substrate, is made to react with the silicon in a substrate, and is used as diacid-ized silicon -- it is formed by law, the lamination method which one silicon substrate is oxidized and is stuck on another silicon substrate. For example, since the lattice constant (5.64Å) of germanium differs from the lattice constant (5.43Å) of a single-crystal-silicon thin film as shown in drawing 2 (a) when the laminating of the germanium film 6 is carried out on the single-crystal-silicon thin film 5, grid mismatching arises by the single-crystal-silicon film 5 and the germanium film 6, and stress arises on each film. In the conventional technique, since the substrate of the germanium film 6 which carried out the laminating is a silicon substrate, even if the grid mismatching 7 generated in the germanium film 6 heat-treats, it is not extinguished. Moreover, it remains into a wafer, without also easing the stress generated in each film. however, in this invention, since it being the single-crystal-silicon layer of a thin film directly under the germanium film 6 which carried out the laminating, simultaneously the still more nearly amorphous silicon oxidation membrane layer 4 exist, the single-crystal-silicon thin film 5 carries out lattice matching to the germanium film 6 by heat-treating. Therefore, the grid mismatching 7 generated in the germanium film 6 at the time of a laminating becomes possible [ low-\*\*(ing) ]. Moreover, the stress in the film is also eased.

[0012] Hereafter, the example of this invention is explained with reference to a drawing. The 1st example of this invention shown in drawing 3 is the PIN diode of the PIN mold characterized by having the P type germanium layer 10 in which the acceptor atom was poured into the epitaxial layer of germanium at high concentration, the intrinsic germanium layer 9, and the N type germanium layer 8 in which the donor atom was poured into high concentration, and a NIP mold. (a) is a PIN mold and (b) is a NIP mold. First, a PIN mold is explained. It thin-film-izes to 5nm or less by carrying out sacrifice oxidation of the single-crystal-silicon thin film top on an insulator layer manufactured by the SIMOX method or a lamination method described previously. Furthermore, on it, a UHV-CVD method is used and epitaxial growth of the germanium film is carried out. However, at the time of epitaxial growth, first, eight layers of N type germanium layers are grown up using a phosphine (PH<sub>3</sub>) and the disilane (Si<sub>2</sub>H<sub>6</sub>) mixture of gas, and the intrinsic germanium layer 9 is continuously grown up only using a disilane. As an epitaxial grown method, you may be MO-CVD method or the MBE method. Then, according to the temperature up process shown in drawing 4, a constant temperature process, and a temperature fall process, the germanium film carries out grid relaxation by the principle expressed previously, and the crystalline good germanium film is obtained. Then, the germanium film 10 which carries out the ion implantation of the boron (B) to the germanium film, and has the conductive layer of about [  $1.0 \times 10^{19} \text{cm}^{-3}$  ] three P type in it is obtained. It is possible to form a PIN diode according to the above process on an insulating substrate or the single-crystal-silicon film on an insulator layer.

[0013] Next, the NIP mold of drawing 4 (b) is explained. In the case of a NIP mold, diboron hexahydride (B<sub>2</sub>H<sub>6</sub>) is used instead of a phosphine at the time of epitaxial growth. And the ion implantation of Lynn (P) is carried out at the time of an ion implantation, and the germanium film 8 with the conductive layer of about [  $1.0 \times 10^{19} \text{cm}^{-3}$  ] three N type is obtained.

[0014] The 2nd example of this invention shown in drawing 5 is schottky diode with which the epitaxial film of the germanium film and the metal membrane formed on it are characterized by forming the Schottky barrier. It thin-film-izes to 5nm or less by carrying out sacrifice oxidation of the single-crystal-silicon thin film on an insulator layer manufactured by the SIMOX method or a lamination method described previously. Furthermore, on it, a UHV-CVD method is used and epitaxial growth of the germanium film is carried out. However, at the time of epitaxial growth, ten layers of P type germanium layers are first grown up using diboron hexahydride ( $B_2H_6$ ) and the disilane ( $Si_2H_6$ ) mixture of gas. As an epitaxial grown method, you may be MO-CVD method or the MBE method. Then, according to the temperature up process shown in drawing 4, a constant temperature process, and a temperature fall process, the germanium film carries out grid relaxation by the principle expressed previously, and the crystalline good germanium film is obtained. Finally, the gold (Au) which is a metal is formed on the germanium film by the spatter. It is possible to form schottky diode according to the above process.

[0015]

[Effect of the Invention] It is possible to carry out grid relaxation and to grow up the germanium film with few defects or the silicon germanium mixed-crystal film from the above invention, using an organic metal gaseous layer grown method (MO-CVD method), a molecular-beam grown method (MBE law), or an ultra-high-vacuum gaseous layer grown method (UHV-CVD method), on an insulating substrate or the single-crystal-silicon film formed on the insulator layer. Since there are few defects, the leakage current of the device which applied this can be suppressed and it becomes possible to raise the property as an optical element of a device.

---

[Translation done.]

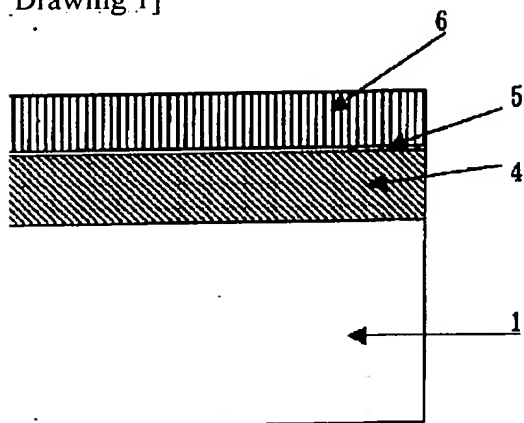
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

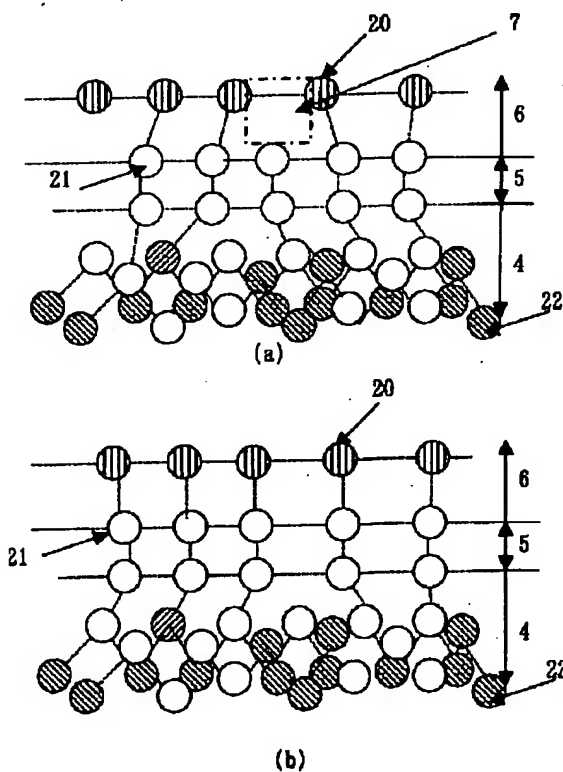
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

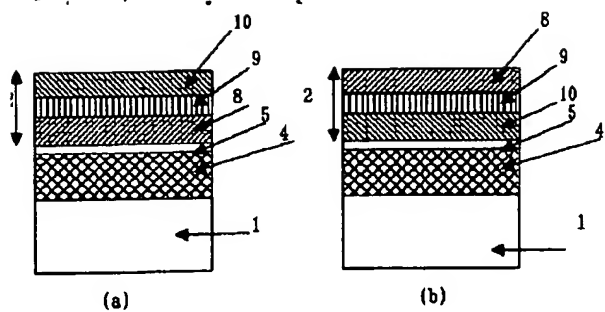
[Drawing 1]



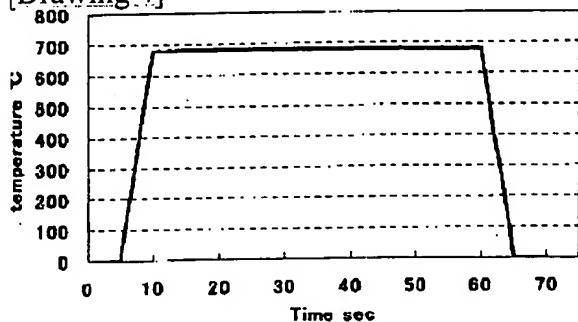
[Drawing 2]



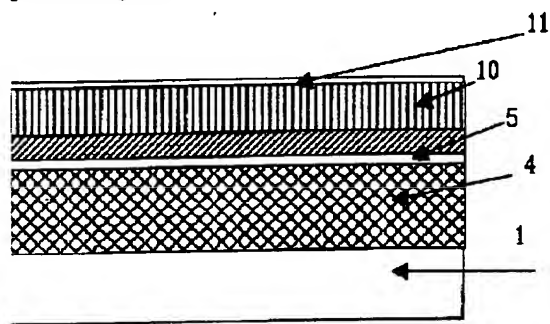
[Drawing 3]



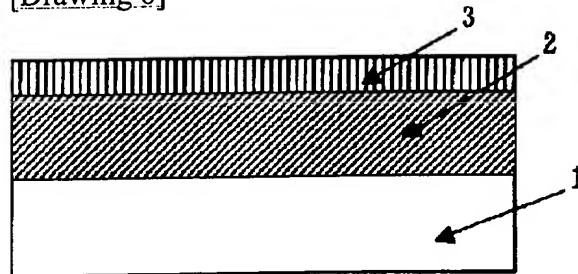
[Drawing 4]



[Drawing 5]



[Drawing 6]



[Translation done.]

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2003-282932**

(43)Date of publication of application : **03.10.2003**

(51)Int.Cl.

H01L 31/10  
H01L 21/205  
H01L 27/146  
H01L 29/47  
H01L 29/861  
H01L 29/872

(21)Application number : **2002-089836**

(71)Applicant : **SEIKO EPSON CORP**

(22)Date of filing : **27.03.2002**

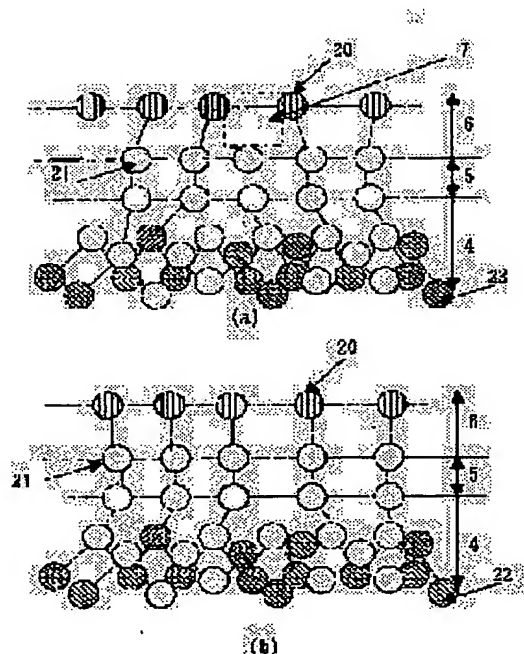
(72)Inventor : **AJIKI YOSHIHARU  
TAKIZAWA TERUO  
HARA HISAKI  
WATANABE YUKIMUNE**

## (54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method of growing a lattice-relaxed germanium film or silicon germanium film having only a few defects and a good crystallinity on an insulator substrate or on a monocrystalline silicon film formed on an insulation film.

**SOLUTION:** The method of manufacturing a semiconductor device comprises a process of epitaxial growth of the silicon - germanium mixed crystal film, or the germanium film or a multilayer monocrystalline film thereof, on the insulation substrate or on the monocrystalline silicon thin film on the insulation film; and a process of accelerating lattice relaxation by conducting a heat treatment after the former process or in the middle of the former process.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]



[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-282932

(P2003-282932A)

(43)公開日 平成15年10月3日(2003.10.3)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 1 L	31/10	H 0 1 L 21/205	4 M 1 0 4
	21/205	31/10	A 4 M 1 1 8
	27/146	29/91	F 5 F 0 4 5
	29/47	29/48	M 5 F 0 4 9
	29/861	27/14	A
審査請求 未請求 請求項の数7 O L (全 5 頁) 最終頁に続く			

(21)出願番号 特願2002-89836(P2002-89836)

(22)出願日 平成14年3月27日(2002.3.27)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 安食 嘉晴

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 瀧澤 照夫

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅彦 (外2名)

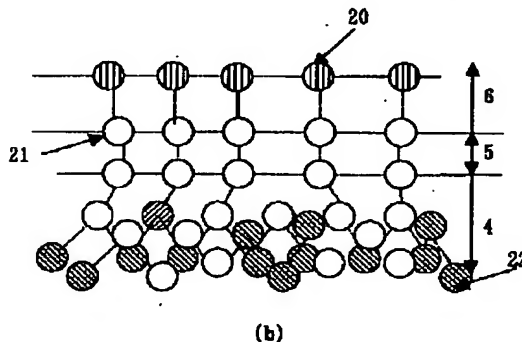
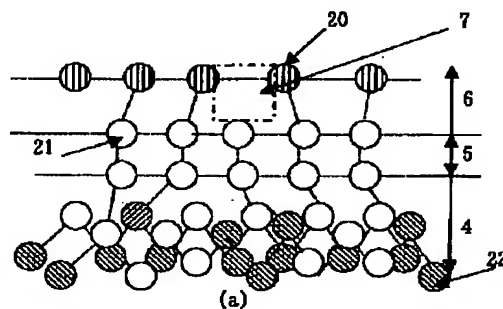
最終頁に続く

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【課題】 欠陥が少なく、結晶性のよい格子緩和したゲルマニウム膜及びシリコンゲルマニウム膜を、絶縁体基板、或いは絶縁膜上に形成された単結晶シリコン膜上に成長させる方法を提供する。

【解決手段】 絶縁性基板或いは絶縁膜上の単結晶シリコン薄膜に、シリコンゲルマニウム混晶膜又はゲルマニウム膜或いはその多層単結晶膜を、エピタキシャル成長させる工程と、その後或いはその途中工程において熱処理によって格子緩和を促す工程と、を有することを特徴とする半導体装置の製造方法。



## 【特許請求の範囲】

【請求項 1】 絶縁体基板或いは絶縁膜上に形成された単結晶シリコン薄膜上に、シリコンゲルマニウム混晶膜又はゲルマニウム膜或いはその多層単結晶膜のいずれから成るエピタキシャル膜を具備し、外部光入力信号を電気信号へ変換する機能を有することを特徴とする半導体装置。

【請求項 2】 前記エピタキシャル膜にアクセプタ原子が高濃度に注入された P 型導電層と、真性半導体層と、ドナー原子が高濃度に注入された N 型導電層を有すること、を特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記エピタキシャル膜の上に金属膜を有し、当該エピタキシャル膜と当該金属膜がショットキー接合を形成していること、を特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記絶縁性基板或いは絶縁膜上に形成された単結晶シリコン薄膜は、シリコンオンサファイヤ (SOS) 構造もしくはシリコンオンインジュレータ (SOI) 構造となっていること、を特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 絶縁性基板或いは絶縁膜上の単結晶シリコン薄膜に、シリコンゲルマニウム混晶膜又はゲルマニウム膜或いはその多層単結晶膜を、エピタキシャル成長させる工程と、その後或いはその途中工程において熱処理によって格子緩和を促す工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 6】 前記エピタキシャル成長を施す工程は、有機金属気相成長法 (Metal Organic Chemical Vapor deposition ; MO-CVD 法)、分子線成長法 (Molecular Beam Epitaxy ; MBE 法)、或いは超高真空気相成長法 (Ultra High Vacuum Chemical Vapor Deposition ; UHV-CVD 法) のいずれかであること、を特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記熱処理工程は、昇温過程、定温過程、降温過程或いはその繰り返し過程であること、を特徴とする請求項 5 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は絶縁体基板或いは絶縁膜上に形成された単結晶シリコン薄膜上に、ゲルマニウム或いはシリコンゲルマニウム混晶の半導体結晶を有する半導体装置およびその製造方法に関する。さらには光受光素子に関し、受光部にゲルマニウム膜或いはシリコンゲルマニウム膜を用いる光半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】 シリコンとゲルマニウムの、もしくはシリコンとシリコンゲルマニウム混晶のヘテロエピタキシャル構造は、ヘテロバイポーラトランジスタや光学素子の特性を飛躍的に向上させる材料として注目されてい

る。結晶性のよいヘテロ構造を形成するために、CVD 法や MBE 法といった気相成長法が用いられているが、例えばシリコン単結晶上にゲルマニウムをエピタキシャル成長させる場合、シリコンとゲルマニウムの格子定数が異なるために、ゲルマニウム膜とシリコン内部に応力が生じ、ゲルマニウム膜が成長するに従い、ゲルマニウムのアイランド構造が形成されるようになる。さらには、ゲルマニウムアイランドの端から不整合転位が導入され、特に膜中にはその厚さ方向に貫いた転位が形成され、このような欠陥はリーク電流の増加などにつながり、それを適用し作製したデバイスに不具合を生じる。

【0003】 こうしたゲルマニウムのアイランド化及び貫通転位を防ぐために、辰巳らは特開平 10-256169 において開示している。図 6 はこの開示例の概念図である。シリコン基板上 1 に形成した層状のゲルマニウム膜 2 の表面をシリコンゲルマニウム混晶 3 で被覆し、このシリコンゲルマニウム混晶膜を応力緩和層とし、且つ熱処理を行うとゲルマニウム膜がアイランド構造にならず、膜中に貫通転位が少なくなることを報告している。しかしながら、シリコン基板 1 とゲルマニウム膜 2 の境界近傍に発生する格子不整合が完全に消滅するものではない為、依然としてリーク電流を低減することができなかった。また、応力緩和層であるシリコンゲルマニウム混晶膜をエピタキシャル成長により積層する必要性があり、ウェハ一枚あたりの処理能力をさらに低下させていた。

## 【0004】

【発明が解決しようとする課題】 この方法を用いると、応力緩和層であるシリコンゲルマニウム混晶膜を積層する必要性があり、生産性の上で不具合である。そこで、本発明の目的は、応力緩和層に、絶縁体基板、或いは絶縁膜上に形成された単結晶シリコン膜を用いることにより、結晶性のよい格子緩和したゲルマニウム膜及びシリコンゲルマニウム膜を、前述の単結晶シリコン膜上に成長させる方法を提供することである。

## 【0005】

【課題を解決するための手段】 第 1 の発明は、絶縁体基板或いは絶縁膜上に形成された単結晶シリコン薄膜上に、シリコンゲルマニウム混晶膜又はゲルマニウム膜或いはその多層単結晶膜のいずれから成るエピタキシャル膜を具備し、外部光入力信号を電気信号へ変換する機能を有することを特徴とする半導体装置に関する。

【0006】 第 2 の発明は、前記エピタキシャル膜の上にアクセプタ原子が高濃度に注入された P 型導電層と、真性半導体層と、ドナー原子が高濃度に注入された N 型導電層を有することを特徴とする第 1 の発明の半導体装置に関する。

【0007】 第 3 の発明は、前記エピタキシャル膜の上に金属膜を有し、当該エピタキシャル膜と当該金属膜がショットキー接合を形成していることを、特徴とする第

1の発明の半導体装置に関する。

【0008】第4の発明は、前記絶縁性基板或いは絶縁膜上に形成された単結晶シリコン薄膜は、シリコンオンサファイヤ(SOS)構造もしくはシリコンオンインシュレータ(SOI)構造になっていることを特徴とする第1の発明の半導体装置に関する。

【0009】第5の発明は、絶縁性基板或いは絶縁層上の単結晶シリコン薄膜に、シリコンゲルマニウム混晶膜又はゲルマニウム膜或いはその多層単結晶膜をエピタキシャル成長させる工程と、その後或いはその途中工程において、熱処理によって格子緩和を促す工程とを有することを特徴とする、半導体装置の製造方法に関する。

【0010】第6の発明は、エピタキシャル成長を施す工程が有機金属気相成長法(MO-CVD法)、分子線成長法(MBE法)、或いは超高真空気相成長法(UHV-CVD法)のいずれかであることを特徴とする第5の発明の半導体装置製造方法に関する。第7の発明は、前記熱処理工程が、昇温過程、定温過程、降温過程或いはその繰り返し過程であることを、特徴とする第5の半導体装置の製造方法に関する。

#### 【0011】

【発明の実施の形態】以下では本発明の概略を説明する。絶縁体基板或いは絶縁膜上に形成された単結晶シリコン薄膜は、当該薄膜の上に積層したエピタキシャル膜との間で生ずる応力を緩和する役割を持つ。以下に図面を参照しながらこの効果を説明する。図1に本発明の概念図を示す。4はシリコン酸化膜層、5は単結晶シリコン薄膜、6はゲルマニウム膜またはシリコンゲルマニウム混晶膜である。図2は図1の拡大部である。シリコン酸化膜層4上の単結晶シリコン薄膜は、酸素イオンをシリコン基板に打ち込み、基板中のシリコンと反応させ二酸化シリコンとするSIMOX (Separation by Implanted Oxygen) 法や、一方のシリコン基板を酸化させて、別のシリコン基板に貼りつける貼り合わせ法などで形成される。例えば単結晶シリコン薄膜5の上にゲルマニウム膜6を積層すると、図2(a)に示すように、ゲルマニウムの格子定数(5.64Å)と単結晶シリコン薄膜の格子定数(5.43Å)が異なるため、単結晶シリコン膜5とゲルマニウム膜6で格子不整合が生じそれぞれの膜に応力が生ずる。従来技術においては、積層したゲルマニウム膜6の下地がシリコン基板であるため、ゲルマニウム膜6中に発生した格子不整合7は熱処理を施しても消滅しない。また各膜中に発生した応力も緩和されることなくウエハ中に残る。しかし、本発明においては、積層したゲルマニウム膜6の直下が薄膜の単結晶シリコン層であるのと同時に、さらに非晶質であるシリコン酸化膜層4が存在する為、熱処理を施すことにより単結晶シリコン薄膜5がゲルマニウム膜6に格子整合する。従って積層時にゲルマニウム膜6中に発生した格子不整合7が低減することが可能となる。また膜中の応力も緩和される。

【0012】以下、本発明の実施例を図面を参照して説明する。図3に示す本発明の第1の実施例は、ゲルマニウムのエピタキシャル層にアクセプタ原子が高濃度に注入されたP型ゲルマニウム層10と、真性ゲルマニウム層9と、ドナー原子が高濃度に注入されたN型ゲルマニウム層8を有することを特徴とするPIN型及びNIP型のPINダイオードである。(a)はPIN型、(b)はNIP型である。まず、PIN型について説明する。先に述べたSIMOX法或いは貼り合わせ法などによって製作された、絶縁膜上の単結晶シリコン薄膜上に犠牲酸化することにより5nm以下にまで薄膜化する。さらにその上に、UHV-CVD法を用いてゲルマニウム膜をエピタキシャル成長させる。但し、エピタキシャル成長時にはまずホスフィン(PH<sub>3</sub>)とジシラン(Si<sub>2</sub>H<sub>6</sub>)混合気体を用いて、N型ゲルマニウム層8層を成長させ、続いてジシランのみを用いて真性ゲルマニウム層9を連続的に成長させる。エピタキシャル成長法としては、MO-CVD法、或いはMBE法であってもよい。その後、図4に示した昇温過程、定温過程、降温過程によって、先に述べた原理でゲルマニウム膜が格子緩和し、結晶性のよいゲルマニウム膜が得られる。その後、ゲルマニウム膜にボロン(B)をイオン注入し $1.0 \times 10^{19} \text{ cm}^{-3}$ 程度のP型の導電層をもつゲルマニウム膜10を得る。以上のプロセスにより、PINダイオードを絶縁性基板もしくは絶縁膜上の単結晶シリコン膜上に形成することが可能である。

【0013】次に、図4(b)のNIP型について説明する。NIP型の場合は、エピタキシャル成長時、ホスフィンの代わりにジボラン(B<sub>2</sub>H<sub>6</sub>)を用いる。そしてイオン注入時にはリン(P)をイオン注入し、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 程度のN型の導電層をもつゲルマニウム膜8を得る。

【0014】図5に示す本発明の第2の実施例は、ゲルマニウム膜のエピタキシャル膜とその上に形成した金属膜が、ショットキー接合を形成していることを特徴としているショットキーダイオードである。先に述べたSIMOX法或いは貼り合わせ法などによって製作された、絶縁膜上の単結晶シリコン薄膜を犠牲酸化することにより5nm以下にまで薄膜化する。さらにその上に、UHV-CVD法を用いてゲルマニウム膜をエピタキシャル成長させる。但し、エピタキシャル成長時にはまずジボラン(B<sub>2</sub>H<sub>6</sub>)とジシラン(Si<sub>2</sub>H<sub>6</sub>)混合気体を用いて、P型ゲルマニウム層10層を成長させる。エピタキシャル成長法としては、MO-CVD法、或いはMBE法であってもよい。その後、図4に示した昇温過程、定温過程、降温過程によって、先に述べた原理でゲルマニウム膜が格子緩和し、結晶性のよいゲルマニウム膜が得られる。最後に、スパッタ法によって、金属である金(Au)をゲルマニウム膜上に形成する。以上のプロセスにより、ショットキーダイオードを形成することが可能である。

#### 【0015】

【発明の効果】以上の発明から、有機金属気相成長法(M

O-CVD法)、分子線成長法 (MBE法) 或いは超高真空気層成長法 (UHV-CVD法) を用いて、格子緩和し、かつ欠陥が少ないゲルマニウム膜もしくはシリコンゲルマニウム混晶膜を絶縁性基板もしくは、絶縁膜上に形成された単結晶シリコン膜上に成長させることが可能である。欠陥が少ないため、これを適用したデバイスのリーク電流を抑えることができ、デバイスの光学素子としての特性を上げることが可能となる。

【図面の簡単な説明】

【図 1】 本発明の概念図。

【図 2】 図 1 の拡大図。

【図 3】 PINダイオードの概念図。

【図 4】 ショットキー型ダイオードの概念図。

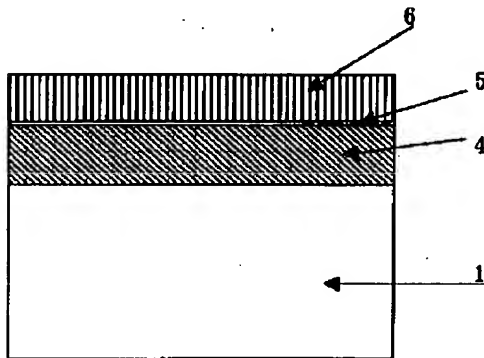
【図 5】 昇温過程、定温過程及び降温過程の温度変化。

【図 6】 開示例の概念図。

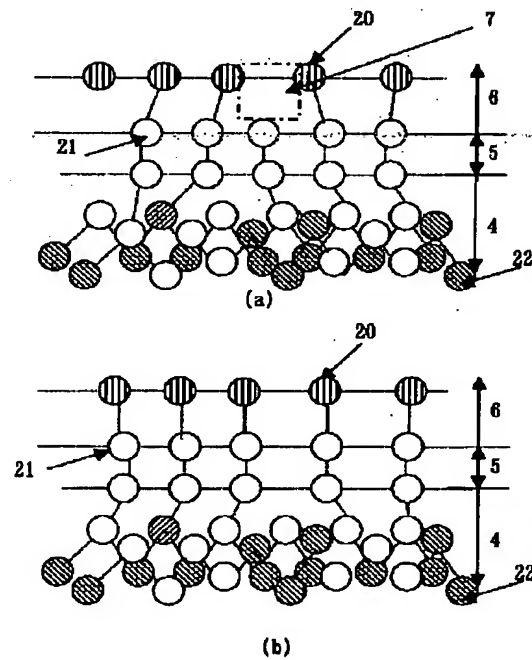
【符号の説明】

- 1 シリコン基板
- 2 ゲルマニウム膜
- 3 シリコンゲルマニウム膜
- 4 シリコン酸化膜
- 5 単結晶シリコン薄膜
- 6 ゲルマニウム膜およびシリコンゲルマニウム膜
- 7 格子不整合
- 8 N型ゲルマニウム層
- 9 真性ゲルマニウム層
- 10 P型ゲルマニウム層
- 11 アルミ金属膜
- 20 ゲルマニウム原子
- 21 シリコン原子
- 22 酸素原子

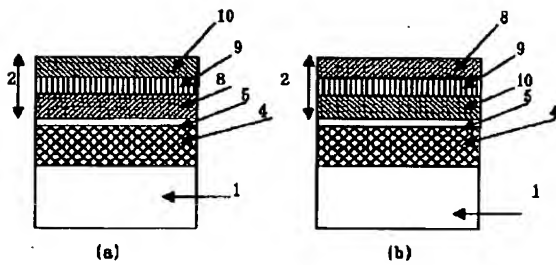
【図 1】



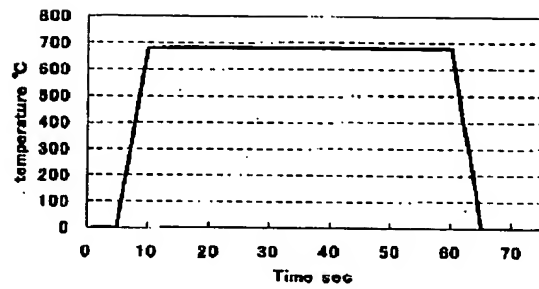
【図 2】



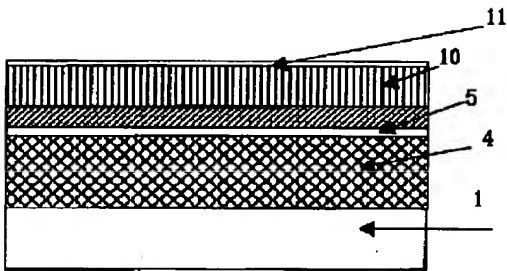
【図 3】



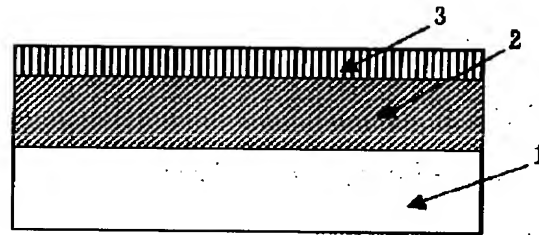
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 L 29/872

(72) 発明者 原 寿樹

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ  
ーエプソン株式会社内

(72) 発明者 渡邊 幸宗

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ  
ーエプソン株式会社内

F ターム (参考) 4M104 BB09 CC03 GG05

4M118 AA10 AB10 CA05 CA06 CB01  
CB14 EA01

5F045 AA04 AA05 AA07 AB01 AB02  
AB05 AF03 BB12 CA13 DA67  
HA06

5F049 MA04 MA05 MB02 NA05 PA03  
PA04 PA05 PA11 SS01 SS03